

MAGNETIC RANDOM ACCESS MEMORY DEVICE

Publication number: JP2001250206 (A)

Publication date: 2001-09-14

Inventor(s): NAKAO HIROSHI

Applicant(s): FUJITSU LTD

Classification:

- international: G11C11/14; G01R33/09; G11B5/39; G11C11/15;
G11C11/16; H01F10/32; H01L21/8246; H01L27/105;
H01L27/22; H01L43/08; G01R33/06; G11B5/39; G11C11/02;
H01F10/00; H01L21/70; H01L27/105; H01L27/22;
H01L43/08; (IPC1-7): G11B5/39; G11C11/14; G11C11/15;
H01L43/08

- European: H01L43/08; G11C11/16; H01F10/32N6B; H01L27/22;
Y01N4/00; Y01N12/00

Application number: JP20000058098 20000303

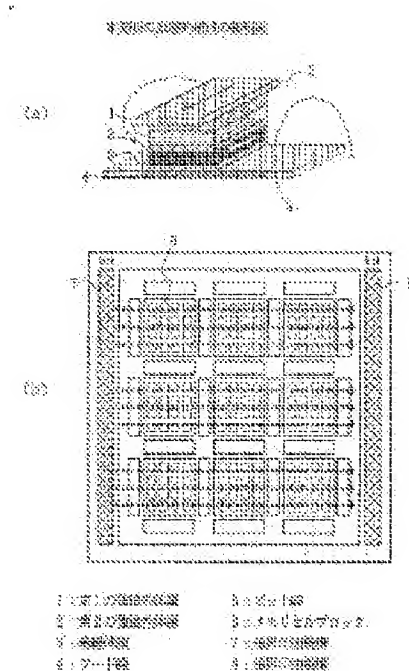
Priority number(s): JP20000058098 20000303

Also published as:

JP3593652 (B2)
US2001025978 (A1)
US6509621 (B2)

Abstract of JP 2001250206 (A)

PROBLEM TO BE SOLVED: To provide a magnetic random access memory device capable of write-in at low current and having an enhanced magnetic resistance change ratio. **SOLUTION:** In the magnetic random access memory device consisting of a memory cell array in which either an insulating material film 3 or a conductive material film is interposed between a first ferromagnetic material layer 1 whose magnetization direction is fixed and a second ferromagnetic material layer 2 whose magnetization direction is rotatable, only the first ferromagnetic material layer 1 whose magnetization direction is fixed is composed of a ferromagnetic material having a spin polarizing ratio of ≥ 0.9 .



Data supplied from the esp@cenet database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-250206
(P2001-250206A)

(43) 公開日 平成13年9月14日 (2001.9.14)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
G 1 1 B 5/39		G 1 1 B 5/39	5 D 0 3 4
G 1 1 C 11/14		G 1 1 C 11/14	A
11/15		11/15	
H 0 1 L 43/08		H 0 1 L 43/08	Z

審査請求 未請求 請求項の数 6 O L (全 14 頁)

(21) 出願番号 特願2000-58098(P2000-58098)

(22) 出願日 平成12年3月3日 (2000.3.3)

(71) 出願人 000003273

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 中尾 宏

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 100103337

弁理士 眞鍋 潔 (外3名)

Fターム(参考) 5D034 BA04 BA05 BB08 CA00

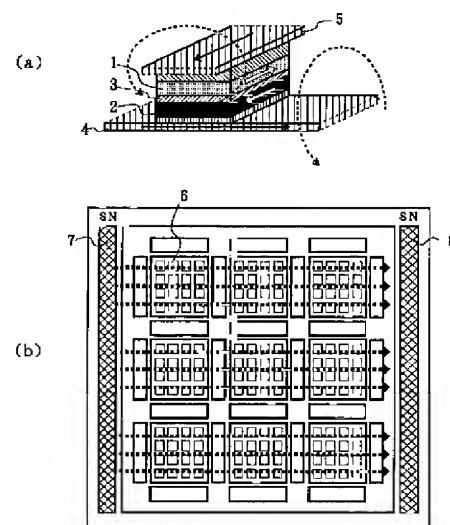
(54) 【発明の名称】 磁気ランダムアクセスメモリ装置

(57) 【要約】

【課題】 磁気ランダムアクセスメモリ装置に関し、低電流で書き込み可能にするとともに、磁気抵抗変化比を向上する。

【解決手段】 磁化方向が固定された第1の強磁性体層1と磁化方向の回転が可能な第2の強磁性体層2との間に絶縁体膜3或いは導電体膜のいずれかを挟持したメモリセルアレイからなる磁気ランダムアクセスメモリ装置の、前記磁化方向が固定された第1の強磁性体層1のみを、スピン分極率が0.9以上の強磁性材料で構成する。

本発明の原理的構成の説明図



- 1 : 第1の強磁性体層
- 2 : 第2の強磁性体層
- 3 : 絶縁体膜
- 4 : ワード線
- 5 : ビット線
- 6 : メモリセルブロック
- 7 : 磁界印加機構
- 8 : 磁界印加機構

【特許請求の範囲】

【請求項1】 磁化方向が固定された第1の強磁性体層と磁化方向の回転が可能な第2の強磁性体層との間に絶縁体膜或いは導電体膜のいずれかを挟持したメモリセルアレイからなる磁気ランダムアクセスメモリ装置において、前記磁化方向が固定された第1の強磁性体層のみを、スピン分極率が0.9以上の強磁性材料で構成することを特徴とする磁気ランダムアクセスメモリ装置。

【請求項2】 上記磁化方向の回転が可能な第2の強磁性体層として、スピン分極率が0.5以下の強磁性材料を用いることを特徴とする請求項1記載の磁気ランダムアクセスメモリ装置。

【請求項3】 磁化方向が固定された強磁性体層と磁化方向の回転が可能な強磁性体層との間に絶縁体膜或いは導電体膜のいずれかを挟持したメモリセルアレイからなる磁気ランダムアクセスメモリ装置において、情報の書き込みに使用される配線とは独立に、前記磁化方向の回転が可能な第2の強磁性体層の面内で且つ磁化難軸方向に磁界を加える磁界印加機構を設けたことを特徴とする磁気ランダムアクセスメモリ装置。

【請求項4】 上記第2の強磁性体層の磁化容易軸方向の保磁力を H_{x0} 、磁化難軸方向の保磁力を H_{y0} 、上記情報の書き込みに使用される配線によって作られる磁界の磁化容易軸方向成分を δH_x 、前記情報の書き込みに使用される配線によって作られる磁界の磁化難軸方向成分を δH_y 、及び、上記磁界印加機構による磁界の磁化難軸方向成分を $H_{y0\text{offset}}$ とした場合、

$$\begin{aligned} &|\delta H_x| < |H_{x0}| \\ &|H_{y0\text{offset}}| < |H_{y0}| \\ &|\delta H_y + H_{y0\text{offset}}| < |H_{y0}| \\ &(\delta H_x / H_{x0})^{2/3} + (H_{y0\text{offset}} / H_{y0})^{2/3} < 1 \\ &(\delta H_x / H_{x0})^{2/3} + ((\delta H_y + H_{y0\text{offset}}) / H_{y0})^{2/3} > 1 \end{aligned}$$

の関係を満たすことを特徴とする請求項3記載の磁気ランダムアクセスメモリ装置。

【請求項5】 上記磁界印加機構を永久磁石または電磁石にいずれかで構成するとともに、上記メモリセルアレイを外部磁界からシールドする磁気シールド部材を設け、前記磁界印加機構による磁界と前記磁気シールド部材とにより閉じた磁気回路を構成することを特徴とする請求項3または4に記載の磁気ランダムアクセスメモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は磁気ランダムアクセスメモリ装置(Magnetic Random Access Memory: MRAM)に関するものであり、特に、磁気抵抗変化比を大きくするとともに低磁界での書き込みを可能にするための構成に特徴のある磁気ランダムアクセスメモリ装置に関するものである。

【0002】

【従来の技術】現在、二枚の薄い強磁性体で絶縁体を挟持した強磁性トンネル接合構造に垂直に電流を流す磁気ランダムアクセスメモリ装置、或いは、二枚の薄い強磁性体で導体を挟持したスピンバルブ構造に平行に電流を流す磁気ランダムアクセスメモリ装置が、次世代のRAMとして注目を集めている。

【0003】この磁気ランダムアクセスメモリ装置においては、二枚の強磁性体層の帯磁方向の平行状態と反平行状態の二つの状態を素子の抵抗の差として読み出そうとするものであり、構造が簡単で微細化、集積化に適している上、不揮発性で応答速度が速いという特徴がある(例えば、S. S. P. Parkin et. al., Journal of Applied Physics, Vol. 85, p. 5828, 1999参照)。

【0004】ここで、図13を参照して、従来の強磁性トンネル接合型のMRAMを説明する。

図13(a)参照

図13(a)は、MRAMの1メモリセルの概略的構成図であり、 WSi_2 等の下地層51上にNiFe等の強磁性体からなるフリー(free)層52、 AlO_x トンネル絶縁層53、NiFe等の強磁性体からなるピンド(pinned)層54、及び、MnFe等からなる反強磁性層55を順次積層させるとともに、長方形状に加工し、強磁性体層の長軸方向、即ち、磁化容易軸方向が帯磁方向となるように反強磁性層55によってピンド層54の磁化方向を固定し(図においては、白抜き矢印で示す)、この磁化容易軸方向に延びる配線をビット線57とする。一方、フリー層52側に接する配線層をビット線57とほぼ直交するように設けてワード線56とするものである。

【0005】図13(b)参照

このMRAM装置のビット線57とワード線56に電流を流し、マトリクス上で選択されたメモリセルに対し、ビット線57及びワード線56を流れる電流に起因する磁界58、59を合成した合成磁界によってフリー層52の磁界を反転させようとするものであり、ピンド層54の帯磁方向とフリー層52の帯磁方向とが反平行状態の場合に、高抵抗状態となる。

【0006】図13(c)参照

一方、ピンド層54の帯磁方向とフリー層52の帯磁方向とが平行状態の場合に、低抵抗状態となる。この場合、ピンド層54のスピン分極率を P_1 、フリー層52のスピン分極率を P_2 とした場合、磁気抵抗変化比TMRは、

$$\text{TMR} = 2P_1 \times P_2 / (1 - P_1 \times P_2)$$

で表されることになり、この磁気抵抗変化比TMRを利用して記憶情報を読み出すものである。

【0007】例えば、フリー層52及びピンド層54としてパーマロイ、即ち、NiFeを用いた場合、 P_{NiFe}

≒45%であるので、磁気抵抗変化比TMRは、

$$\begin{aligned} \text{TMR}_{\text{max}} &= 2 \times 0.45 \times 0.45 (1 - 0.45 \times 0.45) \\ &= 0.405 / 0.7975 \\ &\approx 0.508 \end{aligned}$$

となり、ほぼ50%の磁気抵抗変化比が得られる。

【0008】図14参照一方、この様なMRAMに書き込みを行う場合、短冊状の強磁性体層の磁化の容易軸方向の保磁力を H_{x0} 、難軸方向の保磁力を H_{y0} とした時、 (H_x, H_y) からなる外部磁場によって磁極を回転させるための境界条件は、図に示したアステロイド曲線、即ち、

$$(H_x / H_{x0})^{2/3} + (H_y / H_{y0})^{2/3} = 0$$

によって表される。図から明らかなように、ビット線及びワード線に流す電流を低減するためには、ビット線及びワード線に流す電流を同程度にすることが有効であることが理解される。

【0009】

【発明が解決しようとする問題点】しかし、この様なMRAMの微細化を進めるにしたがって、強磁性体層の長軸方向の長さに対する層厚の比が相対的大きくなるので、情報を記憶する強磁性体層が受ける構造異方性の影響が増大し、帯磁方向を回転させるために必要な磁界が大きくなってしまおうという問題がある。

【0010】例えば、ビット線のスペースアンドラインの寸法が $0.1 \mu\text{m}$ となる $0.1 \mu\text{m}$ 世代を考えた場合、フリー層及びピン層として強磁性体として典型的なパーマロイを用いた場合でも、フリー層の磁化反転に必要な磁界は50～100 [Oe]にもなる。

【0011】この場合、メモリセルの層厚の中心から $0.1 \mu\text{m}$ 離れたビット線及びワード線に流れる電流で50～100 [Oe]の磁界を発生させようとする、必要な電流が3～5mAとなるが、この場合の電流密度は $3 \sim 5 \times 10^7 \text{ A/cm}^2$ となり、エレクトロマイグレーションに強い銅配線を用いた場合でも 10^6 A/cm^2 程度が限界といわれているので、 $0.1 \mu\text{m}$ オーダーまでの微細化は不可能となる。

【0012】一方、低電流で書き込みを行うためには、反転させる強磁性体層であるフリー層の保磁力を低下させたり或いは不純物を添加して飽和磁化を低下させる等の方法が考えられるが、いずれにしても、磁性体としての特性を劣化させているのであり、MR比の低下、即ち、読出時のS/N比の低下に直結してしまうという問題がある。

【0013】また、MR比を高めるためには、フリー層及びピン層のスピンの分極率 P_1, P_2 を大きくすれば良く、例えば、 $P_1 = P_2 = 1$ とすると、 TMR_{max} は理論上無限大となるが、フリー層のスピンの分極率 P_2 を大きくすると保磁力も大きくなり、低電流での書き込みが困難になるという問題がある。

【0014】したがって、本発明は、低電流で書き込み

可能にするとともに、磁気抵抗変化比を向上することを目的とする。

【0015】

【問題点を解決するための手段】図1は本発明の原理的構成の説明図であり、この図1を参照して本発明の問題点を解決するための手段を説明する。なお、図1(a)は、1メモリセルの概略的斜視図であり、また、図1(b)は、磁界印加機構を設けた磁気ランダムアクセスメモリ装置の概念的平面図である。

図1(a)参照

(1) 本発明は、磁化方向が固定された第1の強磁性体層1と磁化方向の回転が可能な第2の強磁性体層2との間に絶縁体膜3或いは導電体膜のいずれかを挟持したメモリセルアレイからなる磁気ランダムアクセスメモリ装置において、磁化方向が固定された第1の強磁性体層1のみを、スピンの分極率が0.9以上の強磁性材料で構成することを特徴とする。

【0016】この様に、磁化方向が固定された第1の強磁性体層1、即ち、ピン層のみを、スピンの分極率が0.9以上の強磁性材料で構成することによって、低電流での書き込みを可能にした状態で、磁気抵抗変化比を大きくすることができる。因みに、磁化方向の回転が可能な第2の強磁性体層2をスピンの分極率が0.45のパーマロイとした場合、磁気抵抗変化比TMRは、 $\text{TMR}_{\text{max}} > 2 \times 0.9 \times 0.45 / (1 - 0.9 \times 0.45) \approx 1.36$

と、従来の2.5倍以上とすることが可能になる。

【0017】(2) また、本発明は、上記(1)において、磁化方向の回転が可能な第2の強磁性体層2として、スピンの分極率が0.5以下の強磁性材料を用いることを特徴とする。

【0018】この様に、磁化方向の回転が可能な第2の強磁性体層2、即ち、フリー層として、スピンの分極率が0.5以下の強磁性材料を用いることによって、大きな磁気抵抗変化比を有した状態で低電流での書き込みが容易になる。因みに、低電流による書き込みを可能にするために、フリー層の磁気特性を劣化させてスピンの分極率を0.2としても、ピン層のスピンの分極率を1とした場合、磁気抵抗変化比TMRは、

$$\text{TMR}_{\text{max}} > 2 \times 1 \times 0.2 / (1 - 1 \times 0.2) = 0.5$$

と、従来のと同程度とすることが可能になる。

【0019】また、本発明は、上記(1)または(2)において、磁化方向が固定された第1の強磁性体層1として、 Fe_3O_4 、 NiMnSb 、 PtMnSb 、 CrO_2 、または、 $(\text{La}, \text{Sr})\text{MnO}_3$ のいずれかを用

いることが望ましい。即ち、 Fe_3O_4 、 NiMnSb 、 PtMnSb 、 CrO_2 、または、 $(\text{La}, \text{Sr})\text{MnO}_3$ はスピン分極率がほぼ1であるので、磁気抵抗変化比TMRを大きくすることができる。

【0020】図1(b)参照

(3) また、本発明は、磁化方向が固定された強磁性体層と磁化方向の回転が可能な強磁性体層との間に絶縁体膜3或いは導電体膜のいずれかを挟持したメモリセルアレイからなる磁気ランダムアクセスメモリ装置において、情報の書き込みに使用される配線とは独立に、磁化方向の回転が可能な第2の強磁性体層2の面内で且つ磁化難軸方向に磁界を加える磁界印加機構7、8を設けたことを特徴とする。

【0021】この様に、ワード線4及びビット線5とは独立に、磁化方向の回転が可能な第2の強磁性体層2の面内で且つ磁化難軸方向に磁界を加える磁界印加機構7、8を設けることによって、外部磁界のみによって磁極を反転させる場合に比べて、低電流によって、アステロイド曲線で与えられる外部磁界によって磁極を反転させるための境界条件を越えることが可能になる。

【0022】(4) また、本発明は、上記(3)において、第2の強磁性体層2の磁化容易軸方向の保磁力を H_{x0} 、磁化難軸方向の保磁力を H_{y0} 、情報の書き込みに使用される配線によって作られる磁界の磁化容易軸方向成分を δH_x 、情報の書き込みに使用される配線によって作られる磁界の磁化難軸方向成分を δH_y 、及び、磁界印加機構7、8による磁界の磁化難軸方向成分を $H_{y0\text{offset}}$ とした場合、

$$\begin{aligned} |\delta H_x| &< |H_{x0}| \\ |H_{y0\text{offset}}| &< |H_{y0}| \\ |\delta H_y + H_{y0\text{offset}}| &< |H_{y0}| \\ (\delta H_x / H_{x0})^{2/3} + (H_{y0\text{offset}} / H_{y0})^{2/3} &< 1 \\ (\delta H_x / H_{x0})^{2/3} + ((\delta H_y + H_{y0\text{offset}}) / H_{y0})^{2/3} &> 1 \end{aligned}$$

の関係を満たすことを特徴とする。

【0023】この様な条件を満たすことによってビット線5及びワード線4によって選択したメモリセルにのみ情報を書き込むことが可能になる。即ち、上記の式の内、

$$\begin{aligned} |\delta H_x| &< |H_{x0}| \\ |H_{y0\text{offset}}| &< |H_{y0}| \\ |\delta H_y + H_{y0\text{offset}}| &< |H_{y0}| \\ (\delta H_x / H_{x0})^{2/3} + (H_{y0\text{offset}} / H_{y0})^{2/3} &< 1 \end{aligned}$$

は、選択されたメモリセルに隣接する非選択のメモリセルが書き込まれないための条件であり、また、

$$(\delta H_x / H_{x0})^{2/3} + ((\delta H_y + H_{y0\text{offset}}) / H_{y0})^{2/3} > 1$$

が、選択したメモリセルを書き込むための条件である。

【0024】(5) また、本発明は、上記(3)または(4)において、磁界印加機構7、8を永久磁石または

電磁石にいずれかで構成するとともに、メモリセルアレイを外部磁界からシールドする磁気シールド部材を設け、磁界印加機構7、8による磁界と磁気シールド部材とにより閉じた磁気回路を構成することを特徴とする。

【0025】この様に、磁界印加機構7、8による磁界と磁気シールド部材とにより閉じた磁気回路を構成することによって、メモリセルに $H_{y0\text{offset}}$ のバイアスを印加することが可能になるとともに、MRAMの外部からの磁界の影響を遮断することができる。なお、磁界印加機構7、8として永久磁石を用いた場合には、低消費電力化が可能になるが、 $H_{y0\text{offset}}$ の強度及び方向が規定されてしまい、一方、電磁石を用いた場合には、スタンバイ時及び書き込み時の消費電力は大きくなるものの、電源を切って保持している間は、メモリセルに磁界が印加されないので、情報保持時のマージンを大きくとることが可能になる。

【0026】また、本発明は、上記(3)乃至(5)のいずれかにおいて、メモリセルアレイを構成する複数のメモリセルブロック6に対し、各メモリセルブロック6毎或いは各メモリセルブロック6列毎に一個の磁界印加手段を設けても良い。特に、磁界印加手段として電磁石を用いる場合、メモリセルブロック6毎に独立にアクティブ化することができ、それによって、低消費電力化が可能になるとともに、メモリセルの情報保持時間を稼ぐことが可能になる。

【0027】

【本発明の実施の形態】ここで、図2乃至図4を参照して本発明の第1の実施の形態のMRAMの製造工程を説明する。なお、各図は1メモリセル及びそれに隣接する部分の概略的断面図である。

図2(a)

まず、周辺回路を形成したシリコン基板11の表面に SiO_2 等の層間絶縁膜12を介して、スパッタリング法を用いて全面に厚さが、例えば、 $0.2\mu\text{m}$ のワード線を形成するためのCu層13、厚さが、例えば、 100nm の地下層となる WSi_2 層14、厚さが、例えば、 5nm のNiFeフリー層15、及び、厚さが、例えば、 2.0nm のAl層16を順次堆積させる。なお、この場合のNiFeフリー層15の組成としては、例えば、 $\text{Ni}_{50}\text{Fe}_{50}$ を用いる。

【0028】図2(b)参照

次いで、酸化性雰囲気中でAl層16を酸化することによって、Al層16を厚さが、例えば、約 3.0nm の AlO_x トンネル層17に変換する。なお、この場合の AlO_x トンネル層17の組成は、化学量論比からずれて Al_2O_3 より酸素プアアの組成となる。

【0029】図2(c)参照

次いで、再び、スパッタリング法を用いて、ビット線を延在させる方向に磁場を印加させながら、 AlO_x トンネル層17上に厚さが、例えば、 20nm の Fe_3O_4

ピンド層18、及び、厚さが、例えば、100nmのMnFe反強磁性層19を順次堆積させたのち、再び、ビット線を延在させる方向に磁場を印加させながら熱処理を行うことによって、Fe₃O₄ピンド層18の帯磁方向をMnFe反強磁性層19によって磁場の印加方向に固定する。

【0030】図3(d)参照

次いで、全面にレジストを塗布し、露光・現像することによって、各メモリセルブロック単位においてワード線方向に延びるライン幅が、例えば、0.2μmで、スペース幅が0.1μmのラインアンドスペースパターンからなるレジストパターン20を形成し、このレジストパターン20をマスクとしてイオンミリングを施すことによって、MnFe反強磁性層19乃至NiFeフリー層15の露出部を除去して幅0.2μmのメサ状ストライプ21を形成する。

【0031】図3(e)参照

引き続いて、RIE(反応性イオンエッチング)を施すことによって、露出するWSi₂層14及びCu層13をエッチして、Cu層13からなるワード線22を形成する。

【0032】図3(f)参照

次いで、レジストパターン20を除去したのち、スパッタリング法を用いて全面にSiO₂膜を堆積させ、異方性エッチングを施すことによって、メサ状ストライプ21の側壁にサイドウォール23を形成する。

【0033】図4(g)参照

次いで、再び、スパッタリング法を用いて、全面に、厚さが、0.2μmのビット線を形成するためのCu層24を堆積させる。

【0034】図4(h)参照

図4(h)及び(i)は図4(g)を90°回転させた状態を示す図であり、次いで、全面にレジストを塗布し、露光・現像することによって、各メモリセルブロック単位において、ビット線方向に延びる幅が、例えば、0.1μmのラインアンドスペースパターンからなるレジストパターン25を形成し、このレジストパターン25をマスクとしてRIEを施すことによってCu層24の露出部をエッチング除去してビット線26を形成する。

【0035】図4(i)参照

次いで、イオンミリングを施すことによって、MnFe反強磁性層19乃至NiFeフリー層15の露出部を除去して0.1μm×0.2μmの矩形状のパターンからなるメモリセル27を形成したのち、レジストパターン34を除去することによってマトリクス状メモリセルアレイからなるMRAMの基本構成が完成する。

【0036】図5参照

図5(a)は、上記の様に製造したMRAMの概念的平面図であり、また、図5(b)が概念的断面図であり、

メモリセルアレイを構成する各メモリセルブロック30のビット線及びワード線は、各メモリセルブロック30の周辺に設けた周辺回路28、29を構成するビット線ドライバ及びワード線ドライバに接続される。

【0037】この場合、NiFeフリー層15のスピンの分極率P₂を0.45、Fe₃O₄ピンド層18のスピンの分極率P₁を1とした場合、磁気抵抗変化比TMRの最大値は、

$$TMR_{\max} = 2 \times 1 \times 0.45 / (1 - 1 \times 0.45) \\ \approx 1.636$$

となり、ピンド層としてもパーマロイを用いた場合に比べて、3倍以上の磁気抵抗変化比を得ることが可能になる。

【0038】また、書き込み電流を低電流化するために、NiFeフリー層15の組成比を制御するとともに、Al、或いは、Cu等の不純物を添加して、NiFeフリー層15の保磁力を低下させ、そのスピンの分極率を0.2程度とした場合にも、磁気抵抗変化比TMRの最大値は、

$$TMR_{\max} = 2 \times 1 \times 0.2 / (1 - 1 \times 0.2) \\ = 0.5$$

となり、ピンド層としてもパーマロイを用いた場合とほぼ同程度の磁気抵抗変化比を実現することが可能になる。即ち、従来のMRAMと同程度の磁気抵抗変化比を保った状態で、低電流により書き込みが可能になるので、微細化に適した構成となる。

【0039】次に、図6を参照して、本発明の第2の実施の形態を説明するが、メモリセルアレイの構成自体は上記の第1の実施の形態と全く同様であるので、製造工程の説明は省略する。なお、図6(a)は、本発明の第2の実施の形態のMRAMの概念的平面図であり、また、図6(b)は概念的断面図である。

【0040】図6(a)及び(b)参照

上記の第1の実施の形態と同様に製造したMRAMを設けたシリコン基板11を支持基板31上にマウントするとともに、シリコン基板11の両端に一对の永久磁石32、33を軟鉄等からなる壁部材34に接するように設けるとともに、壁部材34を介して軟鉄等からなる磁気シールド板35を設けたものであり、この永久磁石32、33と磁気シールド板35とによって、各メモリセルブロック30に対するオフセット磁界H_{yoffset}を印加する閉じた磁気回路が構成される。

【0041】この場合、メモリセルアレイに対するオフセット磁界H_{yoffset}の印加方向が、各メモリセルの磁化難軸方向H_yになるように、永久磁石32、33を配置する。

【0042】図7参照

図7は、オフセット磁界H_{yoffset}を印加した場合のアステロイド曲線であり、図に示すように、メモリセルの磁化難軸方向H_yに永久磁石32、33によってオフセ

ット磁界 $H_{y0offset}$ を印加することによって、ビット線に流す電流による磁界 δH_x とワード線に流す電流による磁界 δH_y を小さくしても書き込みが可能になるので、低電力化が可能になる。即ち、ビット線に流す電流による磁界 δH_x とワード線に流す電流による磁界 δH_y は、

$$(\delta H_x / H_{x0})^{2/3} + ((\delta H_y + H_{y0offset}) / H_{y0})^{2/3} > 1$$

を満たすようにすれば良いので、オフセット磁界 $H_{y0offset}$ を大きくすれば δH_x 及び δH_y を小さくすることが可能になる。

【0043】図8参照

図8は、 $0.1\mu m \times 0.2\mu m \times 0.02\mu m$ の直方体のメモリセルの帯磁方向をNiFeフリー層から $0.1\mu m$ 離れたビット線及びワード線に流れる電流による磁界によって反転させようとした場合の磁化反転に要する時間と必要な電流の相関をシミュレーションした結果を示す図であり、この様な $0.1\mu m$ ルールMRAMにおいて、書き込み時間を $1ns$ (ナノ秒= 1000 ピコ秒)以下にする場合には、磁化容易軸方向の磁界 δH_x 及び磁化難軸方向の磁界 δH_y ともに約 $80[Oe]$ の磁界を印加する必要がある、そのためには、ビット線及びワード線にそれぞれ約 $3mA$ を流す必要がある。

【0044】しかし、本発明の第2の実施の形態の様に、ワード線方向、即ち、磁化難軸方向に $40[Oe]$ のオフセット磁界 $H_{y0offset}$ を印加させた場合には、縦横約 $20[Oe]$ の磁界でも $1ns$ 以下での反転が可能になるのでこの事情を図9を参照して説明する。なお、図9は、オフセット磁界 $H_{y0offset}$ を $40[Oe]$ にするとともに、ビット線に流す電流 I_{wx} 及びワード線に流す電流 I_{wy} をそれぞれ $1mA$ とした場合のシミュレーション結果を示す図である。

【0045】図9(a)及び(b)参照

オフセット磁界 $H_{y0offset}$ を $40[Oe]$ とし、ワード線及びビット線に流す電流を 0 、即ち、 $I_{wx} = I_{wy} = 0$ とした場合、図9(a)に示すようにフリー層の帯磁方向が白抜き矢印で示すように左向きである場合、ワード線及びビット線に流す電流を $1mA$ 、即ち、 $I_{wx} = I_{wy} = 1mA$ とした場合、それによって発生する磁界は $\delta H_x = \delta H_y = 20[Oe]$ となり、 $1ns$ で帯磁方向が反転し、情報が書き込まれることになる。

【0046】図9(b)及び(c)参照

次いで、ワード線及びビット線に流す電流を 0 、即ち、 $I_{wx} = I_{wy} = 0$ とした場合、 $1ns$ 保持しても帯磁方向が反転せず、情報が保持される。

【0047】図9(c)及び(d)参照

次いで、ワード線に $1mA$ の逆方向電流に流すとともに、ビット線に $1mA$ の電流を流した場合、即ち、 $I_{wx} = -1mA$ 、 $I_{wy} = 1mA$ とした場合、図9(d)に示すように、帯磁方向は $1ns$ で再反転し、情報の書き替

え或いは消去が行われる。

【0048】図9(e)参照

一方、非選択のメモリセルにおいては、 $I_{wx} = 1mA$ 、 $I_{wy} = 0mA$ 或いは $I_{wx} = 0mA$ 、 $I_{wy} = 1mA$ になるが、オフセット磁界 $H_{y0offset}$ によって帯磁方向が反転しやすい $I_{wx} = 1mA$ 、 $I_{wy} = 0mA$ 場合においても、少なくとも $99ns$ の間、帯磁方向は反転せず、情報を保持することができる。なお、この場合の帯磁方向は矩形形状のメモリセルの最も軸長が長くなる対角線方向となる。

【0049】なお、この様な状態を実現するためには、フリー層の磁化容易軸方向の保磁力を H_{x0} 、磁化難軸方向の保磁力を H_{y0} 、ビット線及びワード線によって作られる磁界の磁化容易軸方向成分を δH_x 、磁化難軸方向成分を δH_y 、及び、永久磁石32、33印加機構による磁界の磁化難軸方向成分を $H_{y0offset}$ とした場合、

$$|\delta H_x| < |H_{x0}|$$

$$|H_{y0offset}| < |H_{y0}|$$

$$|\delta H_y + H_{y0offset}| < |H_{y0}|$$

$$(\delta H_x / H_{x0})^{2/3} + (H_{y0offset} / H_{y0})^{2/3} < 1$$

$$(\delta H_x / H_{x0})^{2/3} + ((\delta H_y + H_{y0offset}) / H_{y0})^{2/3} > 1$$

の関係を満たすことが必要であり、上の4つの式は非選択のメモリセルが書き込まれないための条件であり、最後の式は選択したメモリセルに書き込む条件となる。

【0050】この様に、本発明の第2の実施の形態においては、フリー層の磁化難軸方向に永久磁石によってオフセット磁界 $H_{y0offset}$ を固定したバイアスとして印加しているので、書き込み電流を低くすることができる。

【0051】次に、図10を参照して、本発明の第3の実施の形態を説明する。

図10(a)及び(b)参照

図10(a)は、本発明の第3の実施の形態MRAMの概念的平面図であり、また、図10(b)は概念的断面図である。上記の第1の実施の形態と同様に製造したMRAMを設けたシリコン基板11を支持基板31上にマウントするとともに、MRAM構成するメモリセルブロック列ごとに、各メモリセルブロック30の列の両端に永久磁石36を設け、プラスチックからなる壁部材34を介して軟鉄等からなる磁気シールド板35を永久磁石36の頂部に接するように設けたものであり、この各永久磁石36と磁気シールド板35とによって、各メモリセルブロック30に対するオフセット磁界 $H_{y0offset}$ を印加する閉じた磁気回路が構成される。なお、この場合も、各メモリセルブロック30に対するオフセット磁界 $H_{y0offset}$ の印加方向が、各メモリセルの磁化難軸方向 H_y になるように、各永久磁石36を配置する。

【0052】この本発明の第3の実施の形態においては、永久磁石36を各メモリセルブロック30の列毎に設けているので、各メモリセルブロック30の列ごとに

閉じた磁気回路が構成されているので各メモリセルブロック30に対して均一なオフセット磁界 $H_{y0\text{offset}}$ を印加することができ、各メモリセルブロック30毎における磁極を反転させる磁界を等しくすることができる。

【0053】次に、図11を参照して、本発明の第4の実施の形態を説明するが、この本発明の第4の実施の形態においては、磁界印加手段として永久磁石の代わりに電磁石を用いたものであり、その他の構成は上記の第2の実施の形態と同様であるので詳細な説明は省略する。

【0054】図11(a)及び(b)参照

図11(a)は、本発明の第4の実施の形態のMRAMの概念的平面図であり、また、図11(b)は概念的断面図である。上記の第1の実施の形態と同様に製造したMRAMを構成したシリコン基板11を支持基板31上にマウントするとともに、シリコン基板31の両端に一对の電磁石37、38を軟鉄等からなる壁部材34に接するように設けるとともに、壁部材34を介して軟鉄等からなる磁気シールド板35を設けたものであり、この各一对の永久磁石37、38と磁気シールド板35とによって、メモリセルアレイに対するオフセット磁界 $H_{y0\text{offset}}$ を印加する閉じた磁気回路が構成される。なお、この場合も、メモリセルアレイに対するオフセット磁界 $H_{y0\text{offset}}$ の印加方向が、各メモリセルの磁化難軸方向 H_y になるように、電磁石37、38を配置する。

【0055】この本発明の第4の実施の形態においては、一对の電磁石37、38を設けているので、各メモリセルブロック30にオフセット磁界 $H_{y0\text{offset}}$ を印加することができ、各メモリセルにおける磁極を反転させる磁界を発生させるための電流を低減することができる。

【0056】また、この本発明の第4の実施の形態においては、スタンバイ時及び書き込み時の消費電力は大きくなるものの、電源を切っておく情報保持時にはメモリセルにオフセット磁界 $H_{y0\text{offset}}$ が印加されないので、情報保持時のマージンを大きく取ることができ、情報の安定した保持が可能になる。

【0057】次に、図12を参照して、本発明の第5の実施の形態を説明する。

図12(a)及び(b)参照

図12(a)は、本発明の第5の実施の形態のMRAMの概念的平面図であり、また、図12(b)は概念的断面図である。上記の第1の実施の形態と同様に製造したMRAMを設けたシリコン基板11を支持基板31上にマウントするとともに、MRAMを構成するメモリセルブロック30毎に、各メモリセルブロック30の両端に電磁石39を設け、プラスチックからなる壁部材34を介して軟鉄等からなる磁気シールド板35を各電磁石40の頂部に接するように設けたものであり、この各電磁石39と磁気シールド板35とによって、各メモリセルに対するオフセット磁界 $H_{y0\text{offset}}$ を印加する閉じた磁

気回路が構成される。なお、この場合も、各メモリセルに対するオフセット磁界 $H_{y0\text{offset}}$ の印加方向が、各メモリセルの磁化難軸方向 H_y になるように、電磁石39を配置する。

【0058】この本発明の第5の実施の形態においては、各電磁石39を各メモリセルブロック30ごとに設けているので、各メモリセルブロック30ごとに閉じた磁気回路が構成され、各メモリセルブロック30に対して均一なオフセット磁界 $H_{y0\text{offset}}$ を印加することができ、それによって、各メモリセルブロック30を独立にアクティブにすることができるので、書き込み時の消費電力を低減することが可能になる。

【0059】また、書き込み時には、書き込みの対象となるメモリセルが属するメモリセルブロック30のみを選択的にオフセット磁界 $H_{y0\text{offset}}$ によってバイアスし、書き込みの対象となるメモリセルが属さないメモリセルブロック30にはオフセット磁界 $H_{y0\text{offset}}$ が印加されないので、メモリセルの情報保持時間を稼ぐことが可能になる。なお、図においては、中央のメモリセルブロックをアクティブにした状態を示している。

【0060】以上、本発明の各実施の形態を説明したが、本発明は上記の各実施の形態に記載した構成及び条件に限られるものではなく、各種の変更が可能である。例えば、上記の各実施の形態においては、MRAMを構成するビンド層としてスピン分極率 P_1 が $P_1 \approx 1$ の Fe_3O_4 を用いているが、 Fe_3O_4 に限られるものではなく、スピン分極率が0.45のパーマロイより高い分極率を有する強磁性体材料を用いても良いものである。

【0061】特に、スピン分極率 P_1 が $P_1 \geq 0.9$ の強磁性体材料が望ましく、その中でも $P_1 \approx 1$ の NiMnSb 、 PtMnSb 、 CrO_2 、或いは、 $(\text{La}, \text{Sr})\text{MnO}_3$ が好適である。

【0062】また、上記の各実施の形態においては、MRAMを構成するフリー層としてスピン分極率 P_2 が $P_2 \approx 0.45$ の NiFe を用いているが、 NiFe に限られるものではなく、スピン分極率が0.45のパーマロイより高い分極率を有する強磁性体材料、例えば、 $P_2 \approx 0.55$ の CoFe を用いても良いが、 $P_2 \leq 0.5$ の強磁性体材料が望ましい。

【0063】特に、書き込み電流をより低電流化するためには、スピン分極率 P_2 が $P_2 \leq 0.3$ 以下の強磁性体材料を用いることが望ましく、そのためには、スピン分極率 P_2 が $P_2 \geq 0.3$ 以上の強磁性体材料に不純物を添加して磁気特性を劣化させれば良い。

【0064】また、上記の各実施の形態においては、トンネル絶縁層として、A1層を酸化した AlO_x を用いているが、 AlO_x に限られるものではなく、原理的にはスパッタリング法等によって堆積させた Al_2O_3 や他の絶縁膜を用いても良いものである。但し、現在の製

造技術においては、ピンホールフリーの薄膜を均一に再現性良く形成するためにはA1を酸化する方法が最も好適である。

【0065】また、上記の各実施の形態においては、反強磁性層としてMnFeを用いているが、MnFeに限られるものではなく、PdPtMn等の他の反強磁性材料を用いても良いものである。但し、反強磁性材料の種類によっては、下地層となるピンド層の結晶構造によっては反強磁性を示さないことがあるので留意を要する。

【0066】また、上記の第2乃至第5の実施の形態においては、ピンド層としてスピン分極率 P_1 が $P_1 \approx 1$ の強磁性材料を用い、且つ、フリー層としてスピン分極率 P_2 が $P_2 \approx 0.45$ のNiFeを用いているが、この様なオフセット磁界を印加する磁界バイアス手段を設ける場合には、ピンド層とフリー層の組み合わせは任意であり、例えば、ピンド層とフリー層の両方がNiFe、即ち、パーマロイで構成されている従来のメモリセル構成のMRAMにも適用されるものである。

【0067】また、上記の各実施の形態においては、メモリセルを強磁性トンネル接合構造によって構成しているが、強磁性トンネル接合構造に限られるものではなく、所謂スピンバルブ構造を用いても良いものである。この場合には、例えば、Ta下地層上に、NiFeフリー層、CoFeフリー層、Cu中間層、Fe₃O₄ピンド層、及び、MnFe反強磁性層からなるシングルスピンバルブ構造、或いは、NiFeフリー層、CoFeフリー層、Cu中間層、NiFeピンド層、及び、PdPtMn反強磁性層からなるシングルスピンバルブ構造等を設ければ良い。

【0068】但し、スピンバルブ構造を用いた場合には、電流を接合に沿って平行に、即ち、フリー層の長軸方向に流す必要があるため、強磁性トンネル接合を用いた場合に比べて同程度の磁気抵抗変化比を得るためには、メモリセルの電流を流す長軸方向の長さを長くする必要がある。また、ビット線及びワード線も各メモリセルの接合に平行方向に電流を流すために、その配置及び製造工程を変更する必要がある。

【0069】また、上記の各実施の形態の説明においては、単純マトリクス型のMRAMとして説明しているが、アクティブマトリクス型のMRAMにも適用されるものであり、その場合には、各メモリセルに対応するようにダイオードやMIM（金属-絶縁体-金属）素子等のアクティブ素子を設ければ良い。

【0070】例えば、アクティブ素子として、ダイオードを用いる場合には、ワード線上にWSi₂下地層を介してp型多結晶Si層及びn型多結晶Si層を順次堆積させ、多結晶Si/pn接合ダイオードを形成すれば良く、このn型多結晶Si層上に再びWSi₂下地層を介して、フリー層/トンネル絶縁膜/ピンド層/反強磁性層/ビット線を順次積層させれば良い。

【0071】

【発明の効果】本発明によれば、磁気ランダムアクセスメモリ装置（MRAM）を構成するメモリセルのピンド層をスピン分極率が0.9以上の強磁性体材料を用い、フリー層をスピン分極率が0.9以下、特に、0.5以下の強磁性体材料を用いて構成しているため、低電流書き込み特性を保持した状態で、磁気抵抗変化比を大きくすることができる。

【0072】また、本発明によれば、メモリセルの磁化難軸方向にオフセット磁化 $H_{y\text{offset}}$ を印加する磁界印加機構を設けているため、書き込みのための電流を低減することができ、それによって、メモリセルの微細化に伴う書き込み磁界の増大を補償することができる。

【0073】上記の手段を単独に或いは組み合わせて用いることにより、高感度で書き込みのための電流が低いMRAMを実現することができ、ひいては、0.1μmルール以下の微細化された高集積度MRAMの実用化に寄与するところが多い。

【図面の簡単な説明】

【図1】本発明の原理的構成の説明図である。

【図2】本発明の第1の実施の形態のMRAMの途中までの製造工程の説明図である。

【図3】本発明の第1の実施の形態のMRAMの図2以降の途中までの製造工程の説明図である。

【図4】本発明の第1の実施の形態のMRAMの図3以降の製造工程の説明図である。

【図5】本発明の第1の実施の形態のMRAMの概念的構成図である。

【図6】本発明の第2の実施の形態のMRAMの概念的構成図である。

【図7】本発明の第2の実施の形態のMRAMにおける書込条件を示すアステロイド曲線である。

【図8】本発明の第2の実施の形態のMRAMにおける磁化反転時間の磁界強度依存性の説明図である。

【図9】本発明の第2の実施の形態のMRAMにおける情報書込の説明図である。

【図10】本発明の第3の実施の形態のMRAMの概念的構成図である。

【図11】本発明の第4の実施の形態のMRAMの概念的構成図である。

【図12】本発明の第5の実施の形態のMRAMの概念的構成図である。

【図13】従来のMRAMの説明図である。

【図14】書込条件を示すアステロイド曲線である。

【符号の説明】

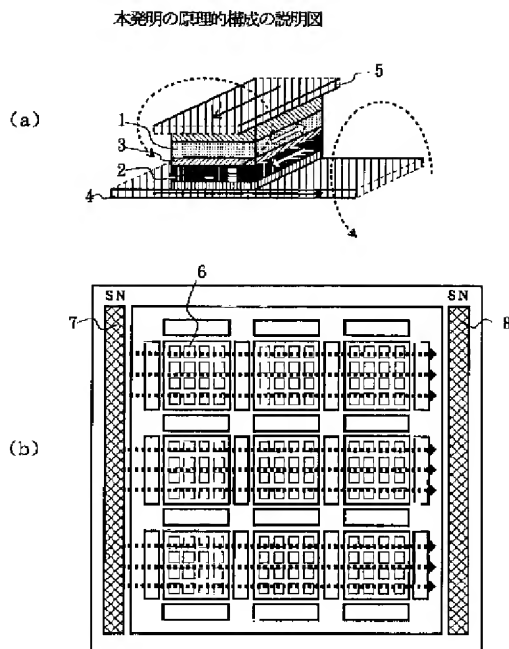
- 1 第1の強磁性体層
- 2 第2の強磁性体層
- 3 絶縁体膜
- 4 ワード線
- 5 ビット線

- 6 メモリセルブロック
- 7 磁界印加機構
- 8 磁界印加機構
- 11 シリコン基板
- 12 層間絶縁膜
- 13 Cu層
- 14 WSi₂層
- 15 NiFeフリー層
- 16 Al層
- 17 AlO_xトンネル層
- 18 Fe₃O₄ピン層
- 19 MnFe反強磁性層
- 20 レジストパターン
- 21 メサ状ストライプ
- 22 ワード線
- 23 サイドウォール
- 24 Cu層
- 25 レジストパターン
- 26 ビット線
- 27 メモリセル
- 28 周辺回路

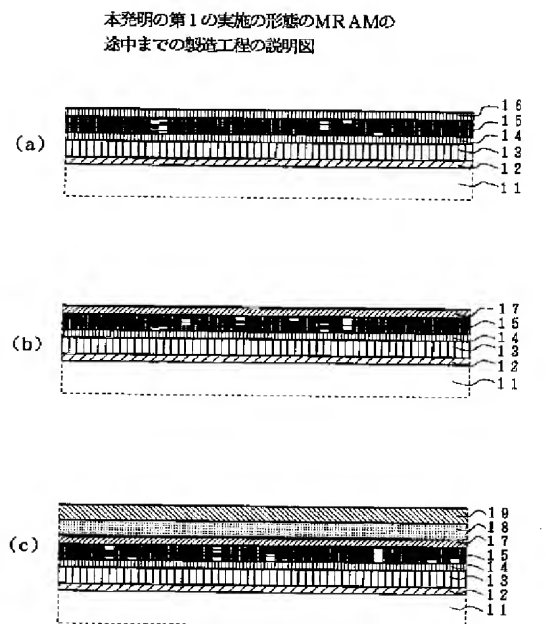
- 29 周辺回路
- 30 メモリセルブロック
- 31 支持基板
- 32 永久磁石
- 33 永久磁石
- 34 壁部材
- 35 磁気シールド板
- 36 永久磁石
- 37 電磁石
- 38 電磁石
- 39 電磁石
- 51 下地層
- 52 フリー層
- 53 AlO_xトンネル絶縁層
- 54 ピン層
- 55 反強磁性層
- 56 ワード線
- 57 ビット線
- 58 磁界
- 59 磁界

【図1】

【図2】



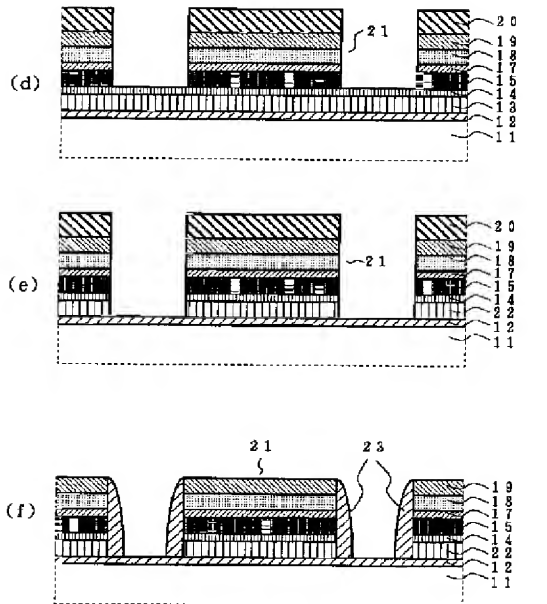
- | | |
|-------------|--------------|
| 1: 第1の強磁性体層 | 5: ビット線 |
| 2: 第2の強磁性体層 | 6: メモリセルブロック |
| 3: 絶縁体膜 | 7: 磁界印加機構 |
| 4: ワード線 | 8: 磁界印加機構 |



- | | | |
|------------|------------------------|--|
| 11: シリコン基板 | 14: WSi ₂ 層 | 17: AlO _x トンネル層 |
| 12: 層間絶縁膜 | 15: NiFeフリー層 | 18: Fe ₃ O ₄ ピン層 |
| 13: Cu層 | 16: Al層 | 19: MnFe反強磁性層 |

【図3】

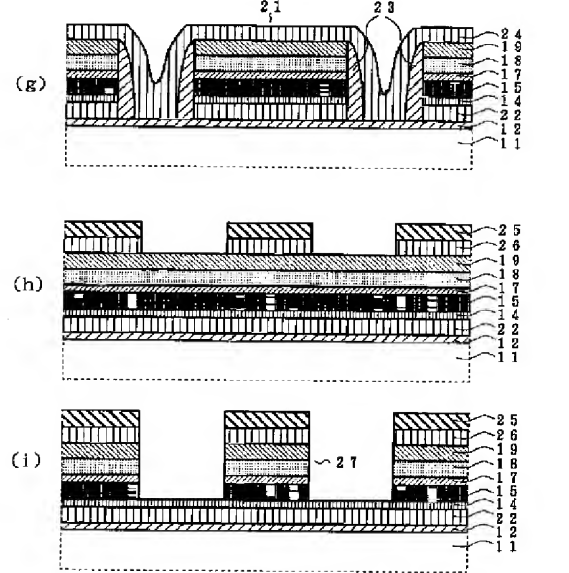
本発明の第1の実施の形態のMRAMの
図2以降の途中までの製造工程の説明図



11:シリコン基板 15: NiFeフリー層 20:レジストパターン
12:層間絶縁膜 17: AlO_x トンネル層 21:メジ状ストライプ
13: Cu層 18: Fe_3O_4 ビンド層 22:ワード線
14: WSi_2 層 19: MnFe反強磁性層 23:サイドウォール

【図4】

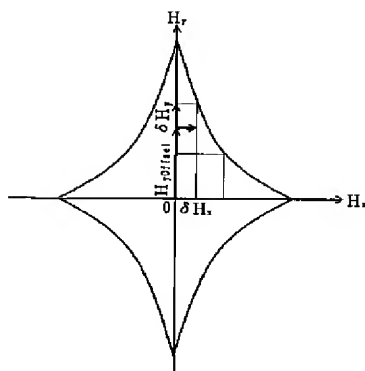
本発明の第1の実施の形態のMRAMの
図3以降の製造工程の説明図



11:シリコン基板 18: Fe_3O_4 ビンド層 24: Cu層
12:層間絶縁膜 19: MnFe反強磁性層 25:レジストパターン
14: WSi_2 層 21:メジ状ストライプ 26:ビット線
15: NiFeフリー層 22:ワード線 27:メモリセル
17: AlO_x トンネル層 23:サイドウォール

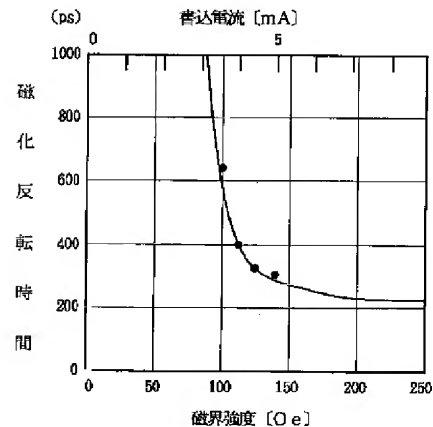
【図7】

本発明の第2の実施の形態のMRAMにおける
書き込条件を示すアステロイド曲線

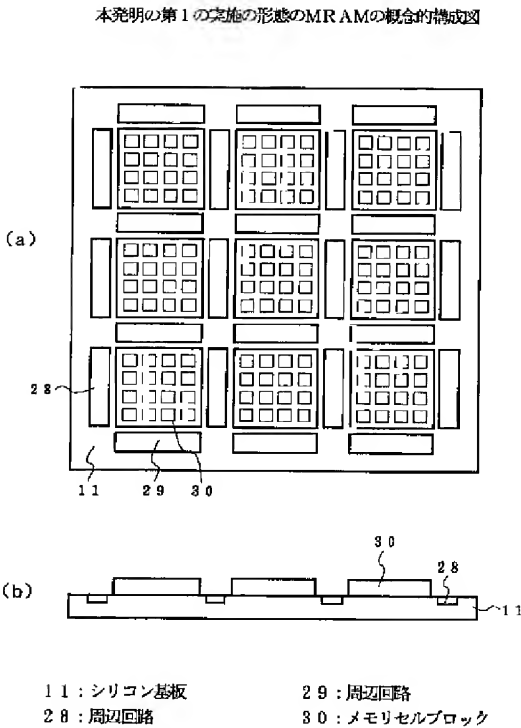


【図8】

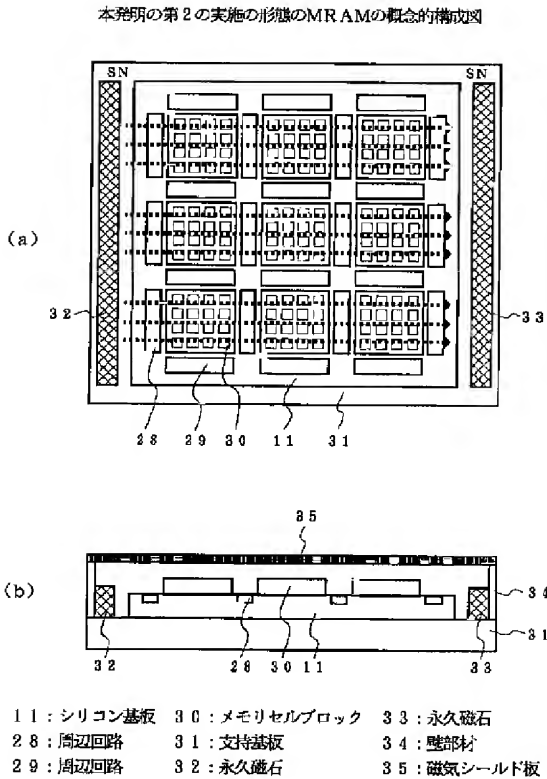
本発明の第2の実施の形態のMRAMにおける
磁化反転時間の磁界強度依存性の説明図



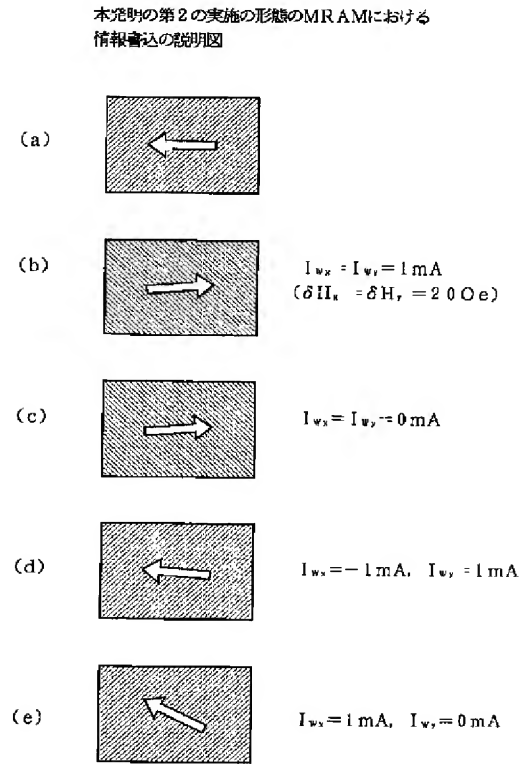
【図5】



【図6】

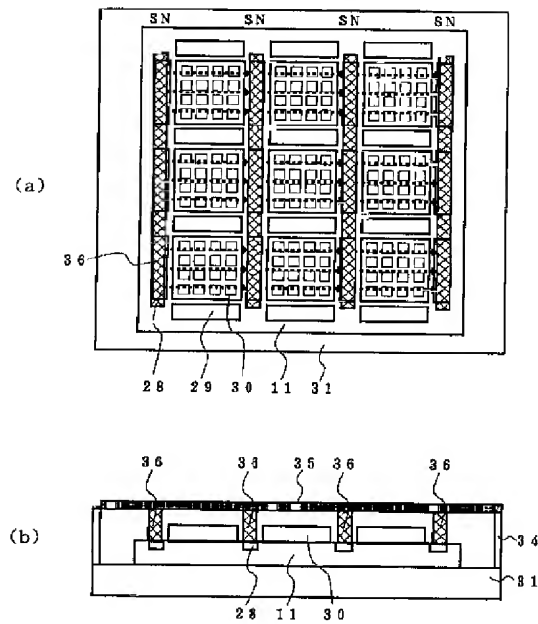


【図9】



【図10】

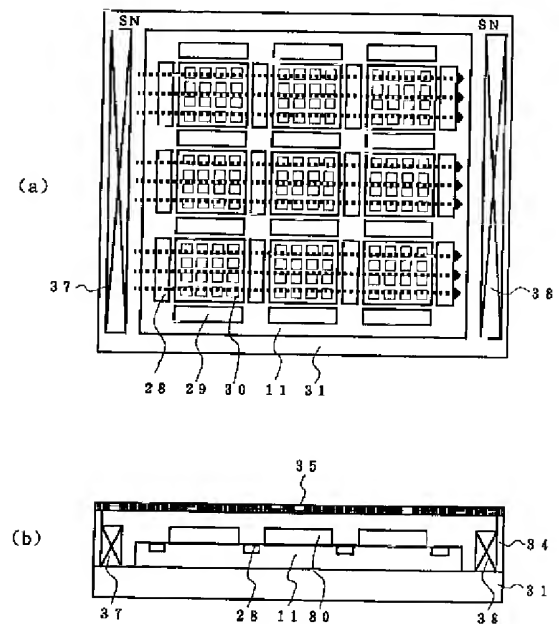
本発明の第3の実施の形態のMRAMの概念的構成図



11:シリコン基板 30:メモリセルブロック 35:磁気シールド板
28:周辺回路 31:支持基板 36:永久磁石
29:周辺回路 34:壁部材

【図11】

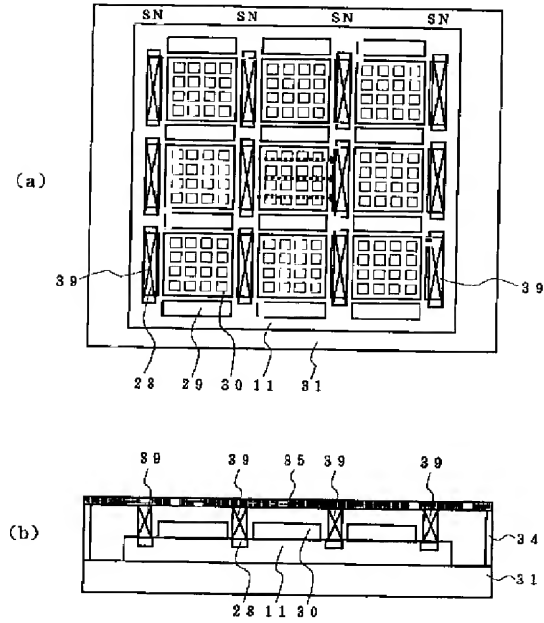
本発明の第4の実施の形態のMRAMの概念的構成図



11:シリコン基板 30:メモリセルブロック 35:磁気シールド板
28:周辺回路 31:支持基板 37:電磁石
29:周辺回路 34:壁部材 38:電磁石

【図12】

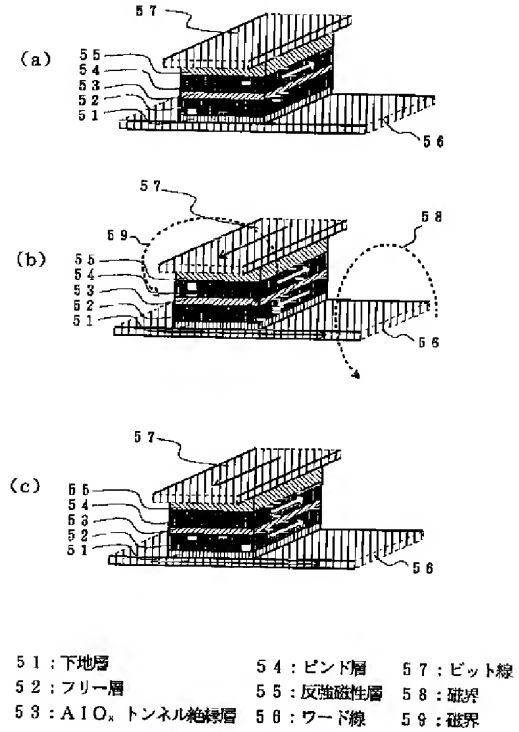
本発明の第5の実施の形態のMRAMの概念的構成図



11: シリコン基板 30: メモリセルブロック 35: 磁気シールド板
28: 周辺回路 31: 支持基板 39: 電磁石
29: 周辺回路 34: 壁部材

【図13】

従来のMRAMの説明図



51: 下地層 54: ピンド層 57: ビット線
52: フリー層 55: 反強磁性層 58: 破層
53: AlO_x トンネル絶縁層 56: ワード線 59: 磁界

【 図 1 4 】

書込条件を示すアステロイド曲線

